

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 3 2 7 3
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 3 2 7 3]

出 願 人 東芝松下ディスプレイテクノロジー株式会社
Applicant(s):

2 0 0 3 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 8 1 0 6

【書類名】 特許願

【整理番号】 13922601

【提出日】 平成14年10月28日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 8

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 中 村 卓

【特許出願人】

【識別番号】 302020207

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

第 1 及び第 2 方向に列設される信号線及び走査線の各交点付近に形成される表示素子と、

前記表示素子のそれぞれに対応して 1 つずつ設けられ、それぞれが入射光を受光して受光量に応じた電気信号を出力する光電変換部と、

2 以上の前記光電変換部からなる組ごとに設けられ、各組の前記 2 以上の光電変換部から出力される電気信号に応じた電荷を蓄積する電荷蓄積部と、

各組の前記 2 以上の光電変換部が受光した受光量に応じた電荷が前記電荷蓄積部に順に蓄積されるように、各組の前記 2 以上の光電変換部を順に駆動する駆動制御部と、を備えることを特徴とする表示装置。

【請求項 2】

前記表示素子は、同一画素内の 3 色の副画素それぞれに対応して 1 つずつ設けられ、

前記光電変換部は、同一画素内の 3 つの前記表示素子それぞれに対応して 1 つずつ設けられ、

前記電荷蓄積部は、同一画素内の 3 つの前記光電変換部に対して 1 つずつ設けられることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記駆動制御部が 1 フレーム分の第 1 色用の前記表示素子すべてを順に駆動している間に、前記電荷蓄積部は対応する前記光電変換部での受光量に応じた電荷を蓄積し、その後、前記駆動制御部が 1 フレーム分の第 2 色用の前記表示素子すべてを順に駆動している間に、前記電荷蓄積部は対応する前記光電変換部での受光量に応じた電荷を蓄積し、その後、前記駆動制御部が 1 フレーム分の第 3 色用の前記表示素子すべてを順に駆動している間に、前記電荷蓄積部は対応する前記光電変換部での受光量に応じた電荷を蓄積することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記電荷蓄積部は、前記第 1 方向に隣接配置される複数画素に対応する複数の前記光電変換部に対して 1 つずつ設けられることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記光電変換部は、前記第 1 方向に隣接配置される 2 つの画素に対応する複数の前記光電変換部に対して 1 つずつ設けられ、

前記駆動制御部が前記第 1 方向の奇数番目及び偶数番目のいずれか一方に配置された 1 フレーム分の前記表示素子すべてを順に駆動している間に、前記電荷蓄積部は対応する前記光電変換部での受光量に応じた電荷を蓄積し、その後、前記駆動制御部が前記第 1 方向の奇数番目及び偶数番目の他方に配置された 1 フレーム分の前記表示素子すべてを順に駆動している間に、前記電荷蓄積部は対応する前記光電変換部での受光量に応じた電荷を蓄積することを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

前記電荷蓄積部は、前記第 2 方向に隣接配置される複数画素に対応する複数の前記光電変換部に対して 1 つずつ設けられることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記光電変換部は、前記第 2 方向に隣接配置される 2 つの画素に対応する複数の前記光電変換部に対して 1 つずつ設けられ、

前記駆動制御部が前記第 2 方向の奇数番目及び偶数番目のいずれか一方に配置された 1 フレーム分の前記表示素子すべてを順に駆動している間に、前記電荷蓄積部は対応する前記光電変換部での受光量に応じた電荷を蓄積し、その後、前記駆動制御部が前記第 2 方向の奇数番目及び偶数番目の他方に配置された 1 フレーム分の前記表示素子すべてを順に駆動している間に、前記電荷蓄積部は対応する前記光電変換部での受光量に応じた電荷を蓄積することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

請求項 1 ～ 7 のいずれか記載の表示装置において、電荷蓄積部は、リフレッシュ回路が備えられていることを特徴とする請求項 1 ～ 7 記載の表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、画像取込み機能を備えた表示装置に関する。

【 0 0 0 2 】

【従来の技術】

液晶表示装置は、信号線、走査線及び画素 T F T が列設されたアレイ基板と、信号線及び走査線を駆動する駆動回路とを備えている。最近の集積回路技術の進歩発展により、駆動回路の一部をアレイ基板上に形成するプロセス技術が実用化され、液晶表示装置全体を軽薄短小化できるようになった。これにより、液晶表示装置は現在、携帯電話やノート型コンピュータなどの各種の携帯機器の表示装置として幅広く利用されている。

【 0 0 0 3 】

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した画像取込み機能付きの表示装置が提案されている（例えば、特許文献 1，2 を参照）。

【 0 0 0 4 】

この種の画像取込み機能を備えた従来の表示装置は、センサに接続されたキャパシタの電荷量をセンサでの受光量に応じて変化させるようにし、キャパシタの両端電圧を検出することで、画像取込みを行っている。

【 0 0 0 5 】

【特許文献 1】

特開 2 0 0 1 - 2 9 2 2 7 6 号公報

【特許文献 2】

特開 2 0 0 1 - 3 3 9 6 4 0 号公報

【 0 0 0 6 】

【発明が解決しようとする課題】

この種の画像取込み機能を利用して指紋認証を行う場合、500dpi程度の解像度が要求されるが、表示装置に画像取込み機能を内蔵させると、200dpi程度の解像度が限界とされている。

【 0 0 0 7 】

また、表示装置は、配線負荷が大きいと、画素内に光電変換素子のみならず、光電変換素子の出力を増幅するバッファ回路を設ける必要があり、解像度向上の阻害要因になるとともに、開口率も低下してしまう。

【 0 0 0 8 】

さらに、画像取込みセンサを画素内に配置しなければならないため、画素の構造が複雑化し、製造歩留まりが低下する要因にもなる。

【 0 0 0 9 】

本発明は、このような点に鑑みてなされたものであり、その目的は、開口率と製造歩留まりの低下を防止できる表示装置を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、第 1 及び第 2 方向に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して 1 つずつ設けられ、それぞれが入射光を受光して受光量に応じた電気信号を出力する光電変換部と、2 以上の前記光電変換部からなる組ごとに設けられ、各組の前記 2 以上の光電変換部から出力される電気信号に応じた電荷を蓄積する電荷蓄積部と、各組の前記 2 以上の光電変換部が受光した受光量に応じた電荷が前記電荷蓄積部に順に蓄積されるように、各組の前記 2 以上の光電変換部を順に駆動する駆動制御部と、を備える。

【 0 0 1 1 】

【発明の実施の形態】

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【 0 0 1 2 】

(第 1 の実施形態)

図 1 は本発明に係る表示装置の第 1 の実施形態の概略構成図であり、画像取込み機能を有することを特徴としている。図 1 の表示装置は、ガラス基板 1 と半導体基板 2 とで構成されている。

【 0 0 1 3 】

ガラス基板 1 上には、信号線及び走査線が列設される画素アレイ部 3 と、信号線を駆動する信号線駆動回路 4 と、走査線を駆動する走査線駆動回路 5 と、画像を取り込んで出力する出力信号処理部 6（検出回路、出力回路を有する）とが設けられている。ガラス基板 1 上の各回路は、例えばポリシリコン T F T により形成されている。

【 0 0 1 4 】

信号線駆動回路 4 は、デジタル画素データを表示素子の駆動に適したアナログ電圧に変換する D/A 変換回路を含む。D/A 変換回路は公知のものを用いる。

【 0 0 1 5 】

半導体基板 2 上には、表示制御及び画像取込み制御を行うロジック I C 7 が実装されている。ガラス基板 1 と半導体基板 2 とは、例えば F P C を介して各種信号の送受を行う。

【 0 0 1 6 】

図 2 は画素アレイ部 3 の一部を詳細に示したブロック図である。図 2 の点線で囲んだ各部分がそれぞれ 1 画素であり、各画素とも R G B の 3 色からなる 3 つの副画素で構成されている。

【 0 0 1 7 】

3 つの副画素のそれぞれは、縦横に列設される信号線及び走査線の各交点付近に形成される画素 T F T 1 1 と、画素 T F T 1 1 の一端に接続される液晶容量 C 1 及び補助容量 C 2 と、画像取込み用のセンサ 1 2 とを有する。センサ 1 2 は、図 2 では不図示の電源線及び制御線に接続されている。

【 0 0 1 8 】

図 3 は 1 画素分の構成を詳細に示した回路図である。1 画素には、3 つの画素 T F T 1 1 のそれぞれに対応して、フォトダイオードからなるセンサ 1 2 が 1 つずつ設けられている。各センサ 1 2 のアノード端子は電源線 L 1 に接続され、カ

ソード端子は制御線 L 2 に接続されている。以下では、赤、緑及び青用の画素 T F T 1 1 に対応するセンサ 1 2 をそれぞれセンサ 1 2 a, 1 2 b, 1 2 c と呼ぶ。

【 0 0 1 9 】

赤色表示用の画素 T F T 1 1 に対応するセンサ 1 2 a はこの画素 T F T 1 1 に接続された画素電極に隣接して形成され、緑色表示用の画素 T F T 1 1 に対応するセンサ 1 2 b はこの画素 T F T 1 1 に接続された画素電極に隣接して形成され、青色表示用の画素 T F T 1 1 に対応するセンサ 1 2 c はこの画素 T F T 1 1 に接続された画素電極に隣接して形成されている。

【 0 0 2 0 】

この他、各画素には、電源線 L 1 と制御線 L 2 との間に接続されるキャパシタ C 3 と、キャパシタ C 3 の蓄積電荷に応じた 2 値データを格納するバッファ 1 3 と、バッファ 1 3 への書込み制御を行うトランジスタ Q 3 と、バッファ 1 3 及びキャパシタ C 3 を初期化するリセット用トランジスタ Q 4 とが設けられている。これらキャパシタ C 3、バッファ 1 3 及びトランジスタ Q 3, Q 4 は、画素内の 3 つの副画素で共有される。

【 0 0 2 1 】

バッファ 1 3 は、スタティック R A M (SRAM) で構成され、例えば、図 4 に示すように、直列接続された 2 つのインバータ I V 1, I V 2 と、後段のインバータ I V 2 の出力端子と前段のインバータ I V 1 の入力端子との間に配置されるトランジスタ Q 5 と、後段のインバータ I V 2 の出力端子に接続される出力用トランジスタ Q 6 とを有する。

【 0 0 2 2 】

信号 SPOLB がハイレベルのときに、トランジスタ Q 5 はオンし、2 つのインバータ I V 1, I V 2 は保持動作を行う。信号 OUTi がハイレベルのときに、保持しているデータが検出線に出力される。検出線は信号線とは別に設けても良いし、いずれかの信号線を利用しても良い。図 3 では、青画素の信号線を利用している。信号線以外に別途検出線を設けなくとも良い。

【 0 0 2 3 】

本実施形態の表示装置は、通常の表示動作を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。通常の表示動作を行う場合は、トランジスタ Q 3 はオフ状態に設定され、バッファ 1 3 には有効なデータは格納されない。逆に、バッファ 1 3 に保持されているデータにより、信号線電位および画素電位が影響を受けることは無い。この場合、信号線には、信号線駆動回路 4 からの信号線電圧が供給され、この信号線電圧に応じた表示が行われる。

【 0 0 2 4 】

一方、画像取込みを行う場合は、図 5 に示すようにアレイ基板 2 1 の上面側（成膜面の反対側）に画像取込み対象物（例えば、紙面） 2 2 を配置し、バックライト 2 3 からの光を対向基板 2 4 とアレイ基板 2 1 を介して紙面 2 2 に照射する。紙面 2 2 で反射された光（紙面 2 2 の反射率に応じて光量は変化する）はアレイ基板 2 1 上のセンサ 1 2 a, 1 2 b で受光され、画像取込みが行われる。

【 0 0 2 5 】

画像取込みを開始する前に、トランジスタはオン状態に設定され、キャパシタ C 3 に初期電荷が蓄積される。その後に画像取込みが開始され、センサ 1 2 の受光量に応じた電荷がキャパシタ C 3 から放電（リーク）し、キャパシタ C 3 の蓄積電荷が変化する。すなわち、キャパシタ C 3 の蓄積電荷の大小（キャパシタ C 3 の電位レベル）により、センサ 1 2 の受光量を検出することができる。

【 0 0 2 6 】

キャパシタ C 3 の電位は、バッファ 1 3 で増幅された後、検出線およびアレイ基板額縁部に一体形成された出力信号処理部 6 を介して、図 1 に示すロジック I C 7 に送られる。このロジック I C 7 は、本実施形態の表示装置から出力されるデジタル信号を受けて、データの並び替えやデータ中のノイズの除去などの演算処理を行う。

【 0 0 2 7 】

本実施形態は、各センサ 1 2 とキャパシタ C 3 との接続関係を切り替える切換手段を持たないことが特徴の一つである。そのかわり表示色を変えて画像取込みを行うことにより、任意の色に対応したセンサ 1 2 の受光量のみがキャパシタ C 3 で検出されるようにしている。残り 2 つのセンサは光透過率が殆ど無い画素に

属しているため、リーク電流が生じることが無いため、前期切替え手段を要しない。このような構成は、表示素子と光センサを一体形成していることにより可能となる（一般的なCMOSセンサなどでは、不使用センサを遮光するような手段を設けることができない）。

【0028】

例えば、赤色用の画素TF T 1 1に対応するセンサ1 2 aの撮像結果を取り出すためには、赤色用の画素TF T 1 1のみをオン（光透過状態）させて、緑色及び青色用の画素TF T 1 1をオフさせた状態（光不透過状態）、すなわち全画面を赤色表示させた状態で画像取込みを行う。この場合、撮像対象からの反射光は、赤色用の画素TF T 1 1に対応するセンサ1 2 aのみに入力され、緑色及び青色用の画素TF T 1 1に対応するセンサ1 2 b, 1 2 cには入力されない。したがって、緑色及び青色に対応するセンサ1 2 b, 1 2 cでは光リーク電流は発生せず、キャパシタC 3の蓄積電荷の増減は、主に赤色に対応するセンサ1 2 aでの光リークに依存して決まることになる。

【0029】

キャパシタC 3の電位を増幅するバッファ1 3の出力信号は、信号線を介して、額縁部の出力信号処理部6に供給される。出力信号処理部6は、信号振幅の変換やデータ出力順の変更及びパラレルーシリアル変換などを行い、外部CPUなどのロジックIC 7に画像取込み結果を出力する。

【0030】

図6は第1の実施形態における画像取込みのタイミングを模式的に示す図である。画像取込みは3回に分けて行われる。まず、図6（a）に示すように、1フレーム分の赤色用の画素TF T 1 1すべてをオンさせて（透過状態にして）、全画面を赤色表示させた状態で、キャパシタC 3の蓄積電荷に応じた2値データをバッファ1 3に格納する。この場合、赤色表示用の画素TF T 1 1に対応するセンサ1 2のみが撮像対象からの反射光を受光し、その受光量がキャパシタC 3及びバッファ1 3を経由してロジックIC 7で検出される。

【0031】

次に、図6（b）に示すように、1フレーム分の緑色用の画素TF T 1 1すべ

てをオンさせて、全画面を緑色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、緑色表示用の画素 T F T 1 1 に対応するセンサ 1 2 のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【0032】

次に、図 6 (c) に示すように、1 フレーム分の青色用の画素 T F T 1 1 すべてをオンさせて、全画面を青色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、青色表示用の画素 T F T 1 1 に対応するセンサ 1 2 のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【0033】

図 7 は画像取込みのタイミングの一例を示すタイミング図である。まず、時刻 t 1 ~ t 2 では、走査線を順にオンさせて、信号線電位を各画素に書き込む通常の方法により 1 フレーム分の全画素を赤色表示する。次に、時刻 t 3 ~ t 4 では、センサ 1 2 のプリチャージを行う。ここでは、バッファ 1 3 に初期値を書き込むとともに、キャパシタ C 3 に初期電荷を蓄積する。

【0034】

次に、時刻 t 4 ~ t 5 では、センサ 1 2 により画像取込みを行う。この期間は、センサ 1 2 の受光量に応じて、キャパシタ C 3 の蓄積電荷が変化する。次に、時刻 t 5 では、トランジスタ Q 3 がオンして、バッファ 1 3 はキャパシタ C 3 の電位を増幅する。そして、バッファ 1 3 内の図 4 に示すトランジスタ Q 5 がオンし (時刻 t 5 ~ t 6) 、バッファ 1 3 は出力の保持動作を行う。

【0035】

その後、時刻 t 7 ~ t 8 では、各画素のバッファ 1 3 の出力を 1 行ずつ順にアレイ基板の外部に出力する。

【0036】

その後、時刻 t 9 ~ t 10 では、1 フレーム分の全画素を緑色表示させて、時刻 t 1 ~ t 8 と同様の処理を行う。その後、時刻 t 11 ~ t 12 では、1 フレーム分の全画素を青色表示させて、時刻 t 1 ~ t 8 と同様の処理を行う。

【0037】

このように、第1の実施形態では、1画素内の複数の副画素それぞれごとにセンサ12を1つずつ設け、表示色を変えながら画像取込みを複数回にわたって行うため、センサ12の出力を切り替える切換手段を設けなくても、各表示色に対応するセンサ12での受光量に応じた電荷を個別にキャパシタC3に蓄積できる。したがって、各センサ12とキャパシタC3との接続を切り替える切換手段が不要となり、アレイ基板の構造を簡略化でき、開口率と製造歩留まりを向上できる。開口率を高くできると、バックライトの輝度を低減できるため消費電力を低減でき、電池を長持ちさせることができる。

【0038】

(第2の実施形態)

第2の実施形態は、画面の垂直方向に隣接する複数画素で1つのキャパシタC3を共有するものである。

【0039】

図8は本発明に係る表示装置の第2の実施形態における1画素分の構成を詳細に示した回路図である。図8では、図3と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0040】

各画素は、3つの副画素を有し、各副画素は画素TF T11とセンサ12を有する。図8の表示装置は、垂直方向に隣接する2画素で、キャパシタC3と、バッファ13と、トランジスタQ3、Q4とを共有している。

【0041】

垂直方向に隣接する2画素の全センサ12のカソード端子は同一の制御線L2に接続されている。この制御線L2と各センサ12のアノード端子が接続される電源線L1との間にキャパシタC3が接続されている。

【0042】

図9は第2の実施形態における画像取込みのタイミングを模式的に示す図である。画像取込みは6回に分けて行われる。まず、1フレーム分の垂直方向奇数画素の赤色用の画素TF T11すべてをオンさせ、1フレーム分の垂直方向奇数画

素すべてを赤色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、垂直方向奇数画素の赤色表示用の画素 T F T 1 1 に対応するセンサ 1 2 a のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 4 3 】

次に、1 フレーム分の垂直方向奇数画素すべてを緑色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、垂直方向奇数画素の緑色表示用の画素 T F T 1 1 に対応するセンサ 1 2 b のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 4 4 】

次に、1 フレーム分の垂直方向奇数画素すべてを青色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、垂直方向奇数画素の青色表示用の画素 T F T 1 1 に対応するセンサ 1 2 c のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 4 5 】

次に、1 フレーム分の垂直方向偶数画素すべてを赤色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、垂直方向偶数画素の赤色表示用の画素 T F T 1 1 に対応するセンサ 1 2 a のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 4 6 】

次に、1 フレーム分の垂直方向偶数画素すべてを緑色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、垂直方向偶数画素の緑色表示用の画素 T F T 1 1 に対応するセンサ 1 2 b のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【0047】

次に、1フレーム分の垂直方向偶数画素すべてを青色表示させた状態で、キャパシタC3の蓄積電荷に応じた2値データをバッファ13に格納する。この場合、垂直方向偶数画素の青色表示用の画素TF T11に対応するセンサ12cのみが撮像対象からの反射光を受光し、その受光量がキャパシタC3及びバッファ13を経由してロジックIC7で検出される。

【0048】

図10は画像取込みのタイミングの一例を示すタイミング図である。まず、時刻t1～t2では、1フレーム分の垂直方向奇数画素すべてを赤色表示させる。次に、時刻t3～t4では、キャパシタC3とバッファ13を初期化し、時刻t4～t5では、センサ12aの撮像結果をキャパシタC3に蓄積し、時刻t5～t6では、キャパシタC3の蓄積電荷に応じた2値データをバッファ13に格納する。その後、時刻t7～t8では、バッファ13の出力を1行ずつ順に出力する。

【0049】

次に、時刻t9～t10では、1フレーム分の垂直方向奇数画素すべてを緑色表示させて、時刻t1～t8と同様の処理を行って、1フレーム分の垂直方向奇数画素の緑色表示用の画素TF T11に対応するセンサ12bの画像取込み結果を出力する。

【0050】

次に、時刻t11～t12では、1フレーム分の垂直方向奇数画素すべてを青色表示させて、時刻t1～t8と同様の処理を行って、1フレーム分の垂直方向奇数画素の青色表示用の画素TF T11に対応するセンサ12の画像取込み結果を出力する。

【0051】

次に、時刻t13～t14では、1フレーム分の垂直方向偶数画素すべてを赤色表示させて、時刻t1～t8と同様の処理を行って、1フレーム分の垂直方向偶数画素の赤色表示用の画素TF T11に対応するセンサ12の画像取込み結果を出力する。

【0052】

次に、時刻 t15～t16では、1フレーム分の垂直方向偶数画素すべてを緑色表示させて、時刻 t1～t8と同様の処理を行って、1フレーム分の垂直方向偶数画素の緑色表示用の画素 T F T 1 1 に対応するセンサ 1 2 の画像取込み結果を出力する。

【0053】

次に、時刻 t17～t18では、1フレーム分の垂直方向偶数画素すべてを青色表示させて、時刻 t1～t8と同様の処理を行って、1フレーム分の垂直方向偶数画素の青色表示用の画素 T F T 1 1 に対応するセンサ 1 2 の画像取込み結果を出力する。

【0054】

このように、第2の実施形態では、画面の垂直方向に隣接する複数画素でキャパシタ C 3 とバッファ 1 3 を共有するため、第1の実施形態よりもさらに画素の構造を簡略化でき、開口率と製造歩留まりのさらなる向上が図れる。

【0055】

なお、図 1 0 では、画面の垂直方向に隣接する2画素でキャパシタ C 3 とバッファ 1 3 を共有する例を説明したが、垂直方向に隣接する3画素以上でキャパシタ C 3 とバッファ 1 3 を共有してもよい。

【0056】

(第3の実施形態)

第3の実施形態は、画面の水平方向に隣接する複数画素で1つのキャパシタ C 3 を共有するものである。

【0057】

図 1 1 は本発明に係る表示装置の第3の実施形態における1画素分の構成を詳細に示した回路図である。図 1 1 では、図 3 と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0058】

各画素は、3つの副画素を有し、各副画素は画素 T F T 1 1 とセンサ 1 2 を有する。図 1 1 の表示装置は、水平方向に隣接する2画素で、キャパシタ C 3 と、

バッファ 1 3 と、トランジスタ Q 3, Q 4 とを共有している。

【 0 0 5 9 】

水平方向に隣接する 2 画素の全センサ 1 2 のアノード端子は同一の電源線 L 1 に接続され、カソード端子も同一の制御線 L 2 に接続されている。これら電源線 L 1 と制御線 L 2 の間にキャパシタ C 3 が接続されている。

【 0 0 6 0 】

図 1 2 は第 3 の実施形態における画像取込みのタイミングを模式的に示す図である。画像取込みは 6 回に分けて行われる。まず、図 1 2 (a) に示すように、1 フレーム分の水平方向奇数画素の赤色用の画素 T F T 1 1 すべてをオンさせ、1 フレーム分の水平方向奇数画素すべてを赤色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、水平方向奇数画素の赤色表示用の画素 T F T 1 1 に対応するセンサ 1 2 のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 6 1 】

次に、図 1 2 (b) に示すように、1 フレーム分の水平方向奇数画素すべてを緑色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、水平方向奇数画素の緑色表示用の画素 T F T 1 1 に対応するセンサ 1 2 のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 6 2 】

次に、図 1 2 (c) に示すように、1 フレーム分の水平方向奇数画素すべてを青色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、水平方向奇数画素の青色表示用の画素 T F T 1 1 に対応するセンサ 1 2 のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 6 3 】

次に、図 1 2 (d) に示すように、1 フレーム分の水平方向偶数画素すべてを赤色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ

ァ 1 3 に格納する。この場合、水平方向偶数画素の赤色表示用の画素 T F T 1 1 に対応するセンサ 1 2 のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 6 4 】

次に、図 1 2 (e) に示すように、1 フレーム分の水平方向偶数画素すべてを緑色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、水平方向偶数画素の緑色表示用の画素 T F T 1 1 に対応するセンサ 1 2 のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 6 5 】

次に、図 1 2 (f) に示すように、1 フレーム分の水平方向偶数画素すべてを青色表示させた状態で、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。この場合、水平方向偶数画素の青色表示用の画素 T F T 1 1 に対応するセンサ 1 2 のみが撮像対象からの反射光を受光し、その受光量がキャパシタ C 3 及びバッファ 1 3 を経由してロジック I C 7 で検出される。

【 0 0 6 6 】

図 1 3 は画像取込みのタイミングの一例を示すタイミング図である。まず、時刻 t 1 ~ t 2 では、1 フレーム分の水平方向奇数画素すべてを赤色表示させる。次に、時刻 t 3 ~ t 4 では、キャパシタ C 3 とバッファ 1 3 を初期化し、時刻 t 4 ~ t 5 では、センサ 1 2 a により撮像を行い、時刻 t 5 ~ t 6 では、キャパシタ C 3 の蓄積電荷に応じた 2 値データをバッファ 1 3 に格納する。その後、時刻 t 7 ~ t 8 では、バッファ 1 3 の出力を 1 行ずつ順に出力する。

【 0 0 6 7 】

次に、時刻 t 9 ~ t 1 0 では、1 フレーム分の水平方向奇数画素すべてを緑色表示させて、時刻 t 1 ~ t 8 と同様の処理を行って、1 フレーム分の水平方向奇数画素の緑色表示用の画素 T F T 1 1 に対応するセンサ 1 2 の画像取込み結果を出力する。

【 0 0 6 8 】

次に、時刻 t 1 1 ~ t 1 2 では、1 フレーム分の水平方向奇数画素すべてを青

色表示させて、時刻 $t_{11} \sim t_{18}$ と同様の処理を行って、1 フレーム分の水平方向奇数画素の青色表示用の画素 T F T 1 1 に対応するセンサ 1 2 の画像取込み結果を出力する。

【0069】

次に、時刻 $t_{13} \sim t_{14}$ では、1 フレーム分の水平方向偶数画素すべてを赤色表示させて、時刻 $t_{11} \sim t_{18}$ と同様の処理を行って、1 フレーム分の水平方向偶数画素の赤色表示用の画素 T F T 1 1 に対応するセンサ 1 2 の画像取込み結果を出力する。

【0070】

次に、時刻 $t_{15} \sim t_{16}$ では、1 フレーム分の水平方向偶数画素すべてを緑色表示させて、時刻 $t_{11} \sim t_{18}$ と同様の処理を行って、1 フレーム分の水平方向偶数画素の緑色表示用の画素 T F T 1 1 に対応するセンサ 1 2 の画像取込み結果を出力する。

【0071】

次に、時刻 $t_{17} \sim t_{18}$ では、1 フレーム分の水平方向偶数画素すべてを青色表示させて、時刻 $t_{11} \sim t_{18}$ と同様の処理を行って、1 フレーム分の水平方向偶数画素の青色表示用の画素 T F T 1 1 に対応するセンサ 1 2 の画像取込み結果を出力する。

【0072】

このように、第3の実施形態では、画面の水平方向に隣接する複数画素でキャパシタ C 3 とバッファ 1 3 を共有するため、第1の実施形態よりもさらに画素の構造を簡略化でき、開口率と製造歩留まりのさらなる向上が図れる。

【0073】

なお、図 1 3 では、画面の水平方向に隣接する2画素でキャパシタ C 3 とバッファ 1 3 を共有する例を説明したが、水平方向に隣接する3画素以上でキャパシタ C 3 とバッファ 1 3 を共有してもよい。

【0074】

【発明の効果】

以上詳細に説明したように、本発明によれば、複数の光電変換部が同一の電荷

蓄積部を共有するため、画素の構成を簡略化でき、開口率と製造歩留まりの向上が図れる。

【図面の簡単な説明】

【図 1】

本発明に係る表示装置の第 1 の実施形態の概略構成図。

【図 2】

画素アレイ部 3 の一部を詳細に示したブロック図。

【図 3】

1 画素分の構成を詳細に示した回路図。

【図 4】

SRAMの詳細構成を示す回路図。

【図 5】

画像取込み方法を説明する図。

【図 6】

第 1 の実施形態における画像取込みのタイミングを模式的に示す図。

【図 7】

画像取込みのタイミングの一例を示すタイミング図。

【図 8】

本発明に係る表示装置の第 2 の実施形態における 1 画素分の構成を詳細に示した回路図。

【図 9】

第 2 の実施形態における画像取込みのタイミングを模式的に示す図。

【図 1 0】

画像取込みのタイミングの一例を示すタイミング図。

【図 1 1】

本発明に係る表示装置の第 3 の実施形態における 1 画素分の構成を詳細に示した回路図。

【図 1 2】

第 3 の実施形態における画像取込みのタイミングを模式的に示す図。

【図 1 3】

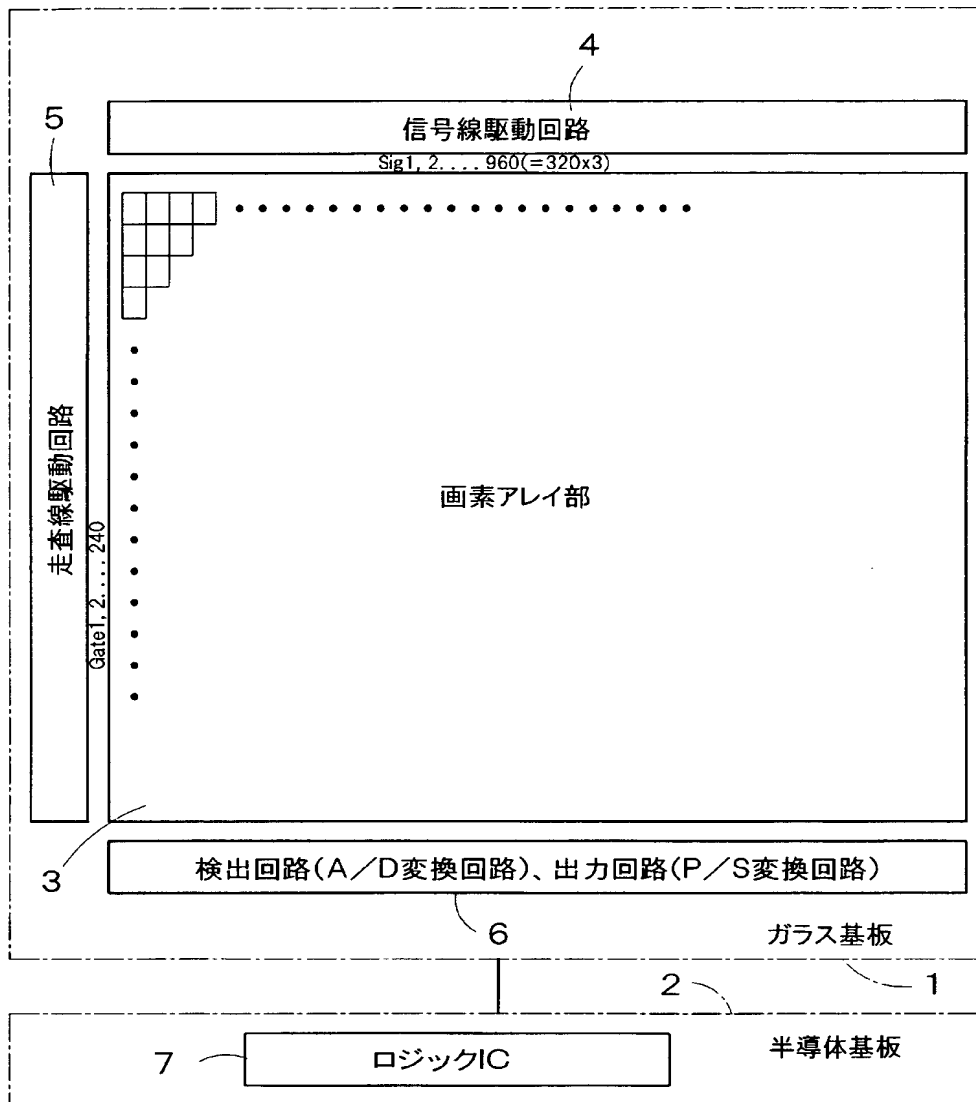
画像取込みのタイミングの一例を示すタイミング図。

【符号の説明】

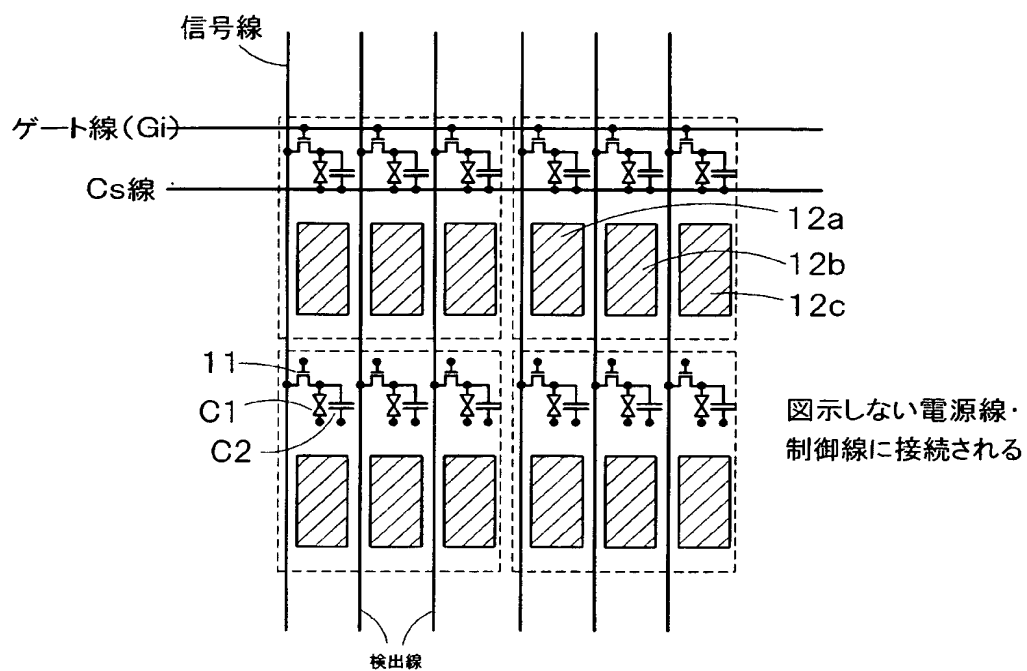
- 1 ガラス基板
- 2 半導体基板
- 3 画素アレイ部
- 4 信号線駆動回路
- 5 走査線駆動回路
- 6 出力信号処理部
- 7 ロジック I C
- 1 1 画素 T F T
- 1 2, 1 2 a, 1 2 b, 1 2 c センサ
- 1 3 バッファ

【書類名】 図面

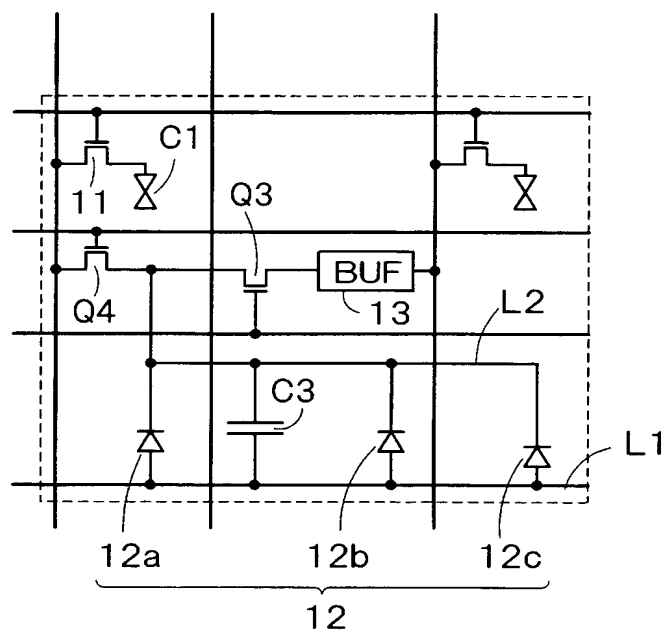
【図 1】



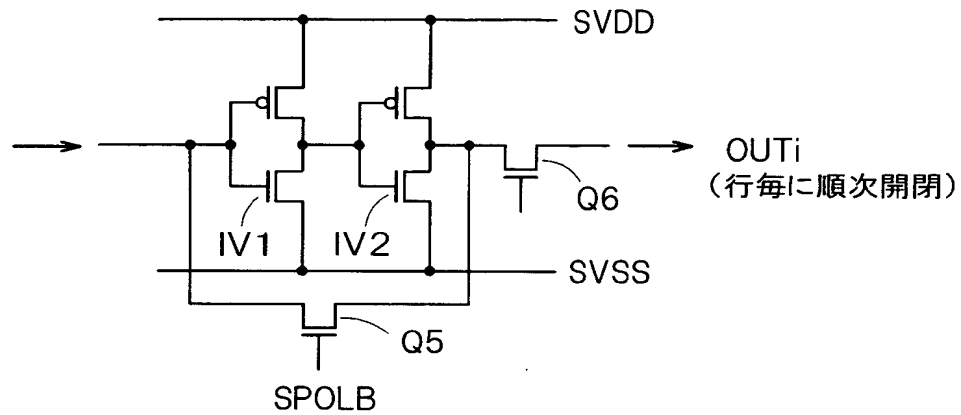
【図 2】



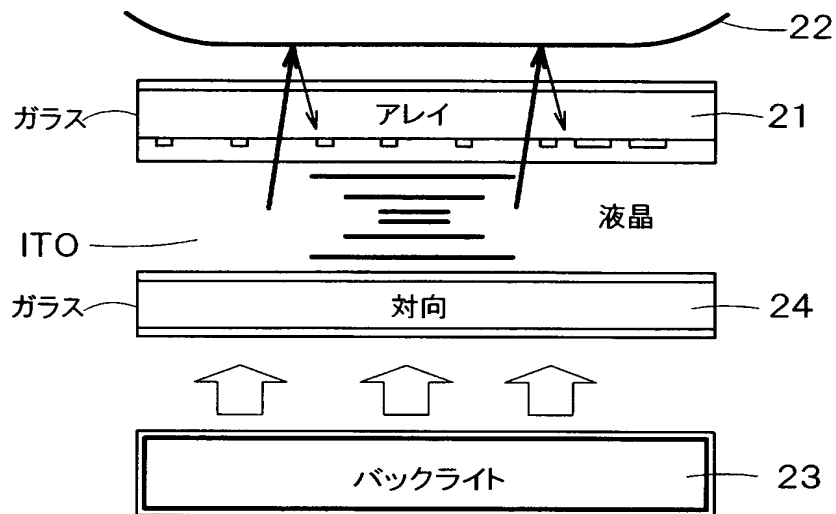
【図 3】



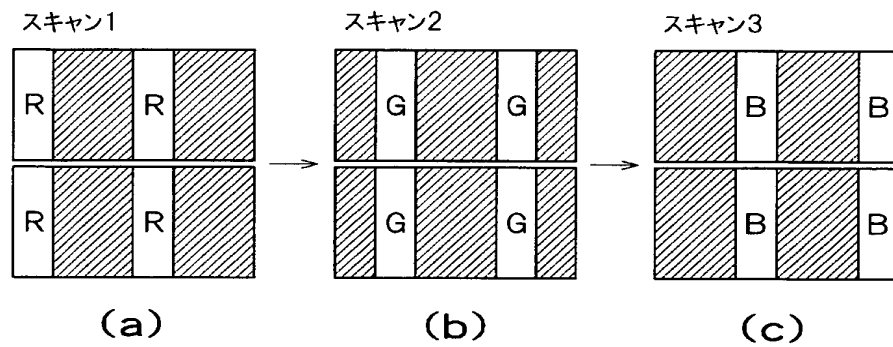
【図 4】



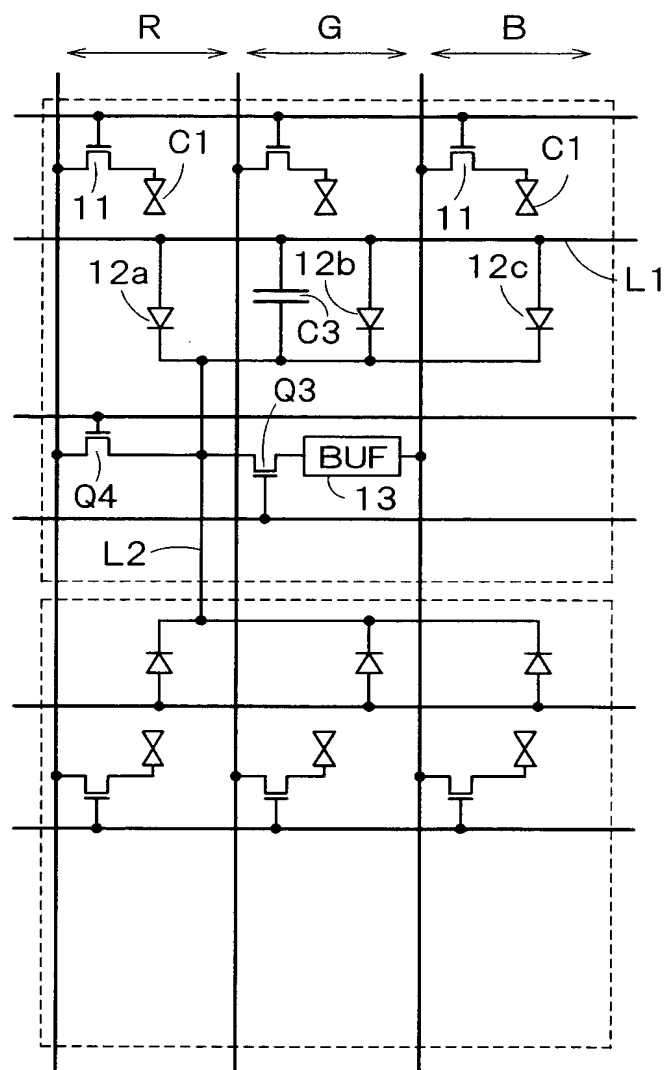
【図 5】



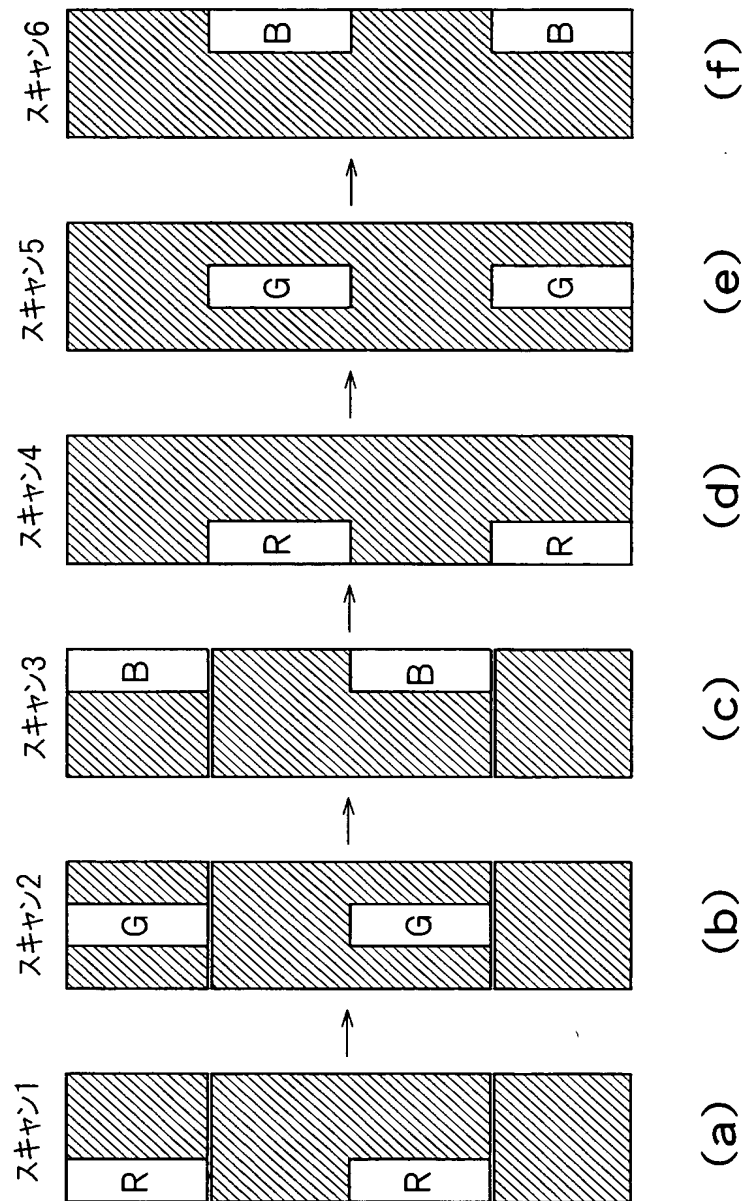
【図 6】



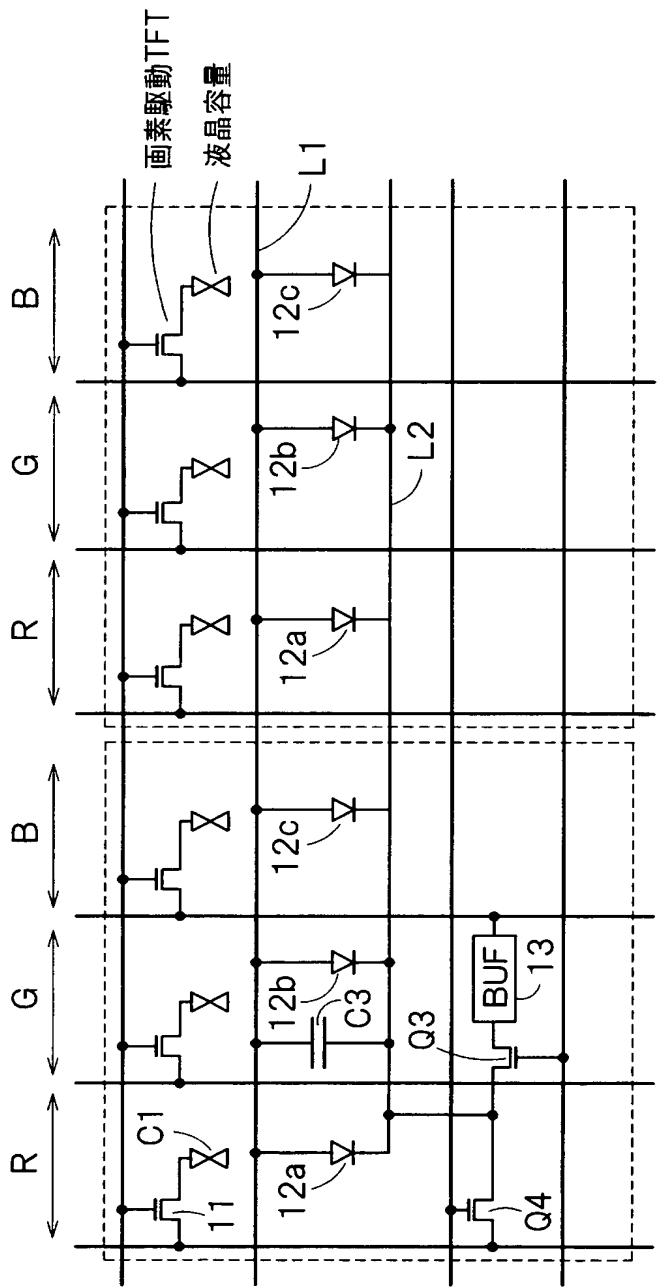
【図 8】



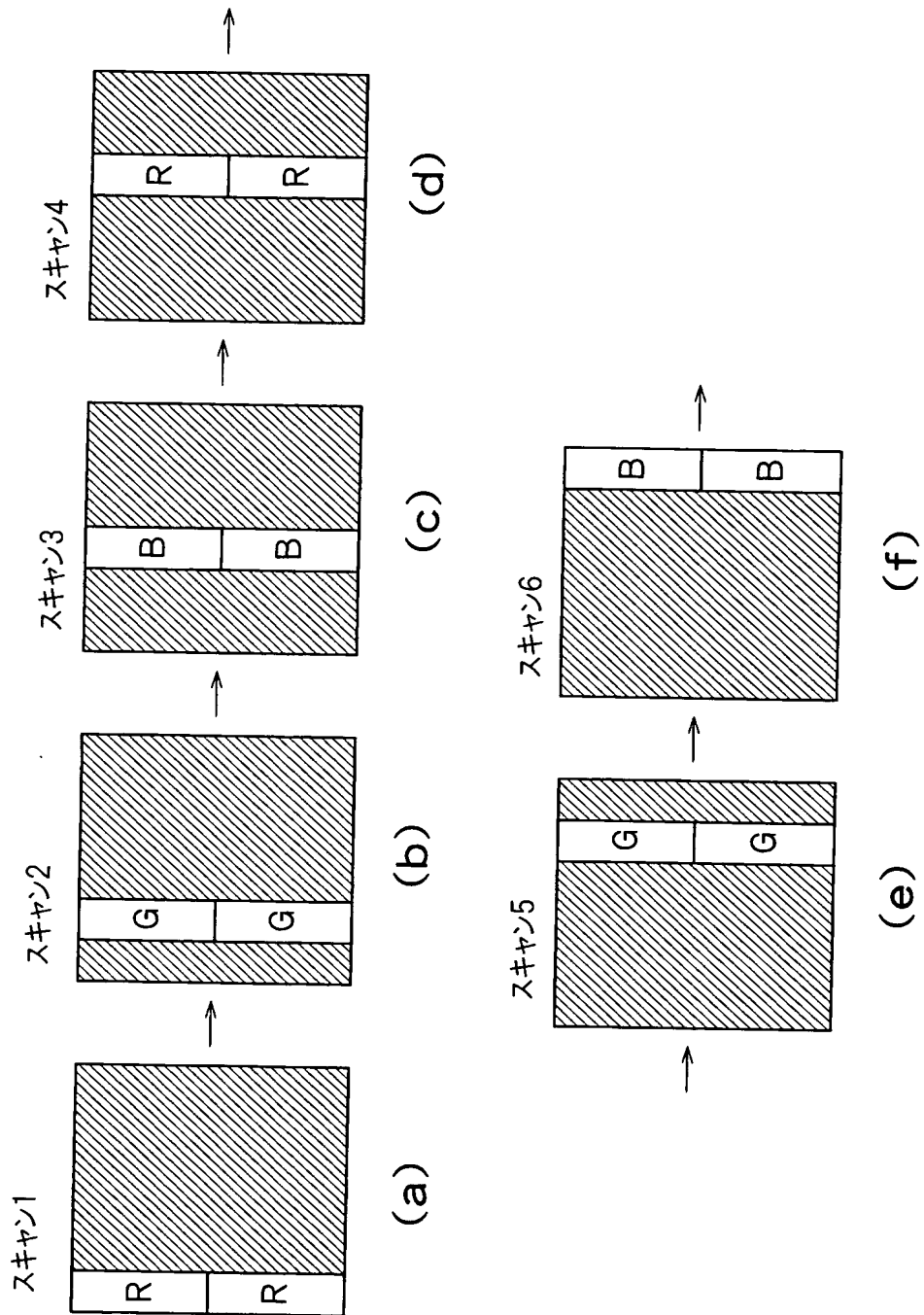
【図 9】



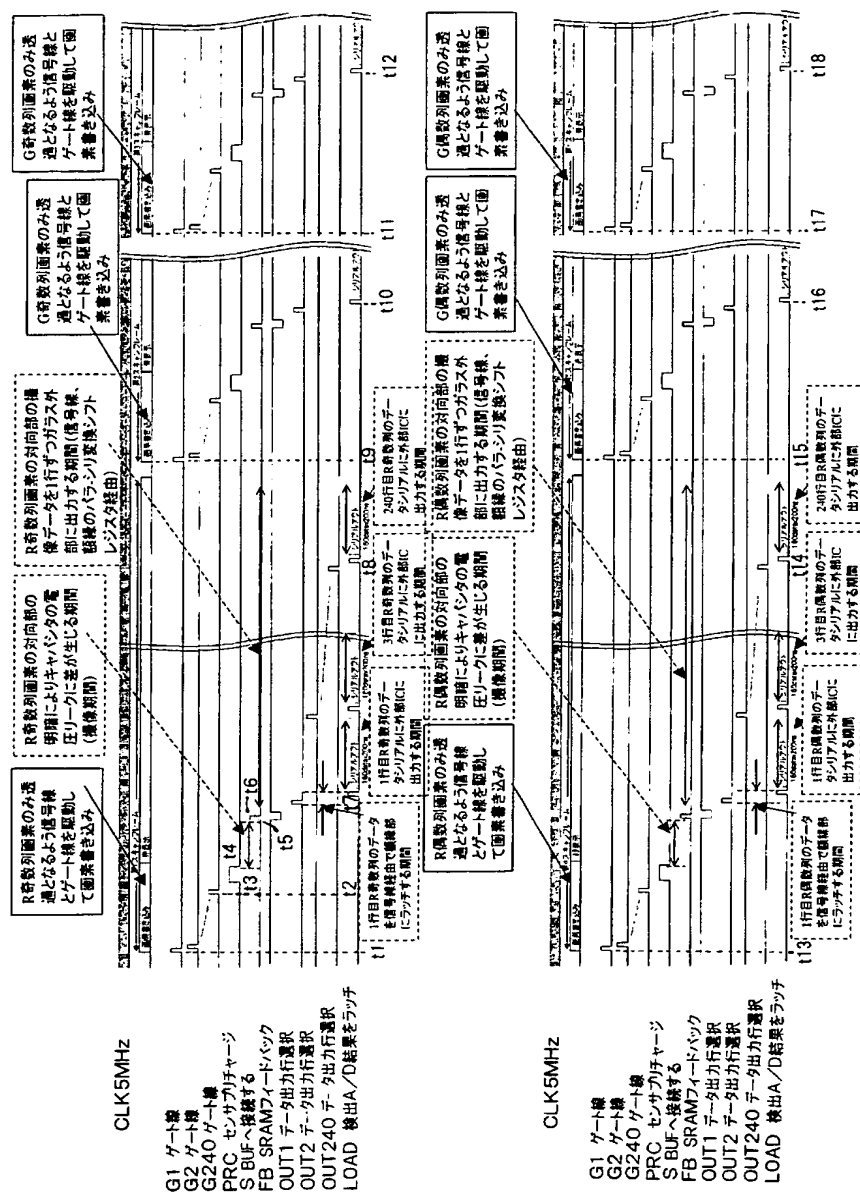
【図 11】



【図 1 2】



【図 13】



【書類名】 要約書

【要約】

【課題】 開口率と製造歩留まりの低下を防止できる表示装置を提供する。

【解決手段】 本発明に係る表示装置は、ガラス基板 1 と半導体基板 2 とで構成されている。ガラス基板 1 上には、信号線及び走査線が列設される画素アレイ部 3 と、信号線を駆動する信号線駆動回路 4 と、走査線を駆動する走査線駆動回路 5 と、画像を取り込んで出力する出力信号処理部 6 とが設けられている。画素アレイ部 3 の各画素は、電源線 L 1 と制御線 L 2 との間に接続されるキャパシタ C 3 と、キャパシタ C 3 の蓄積電荷に応じた 2 値データを格納するバッファ 1 3 と、バッファ 1 3 への書込み制御を行うトランジスタ Q 3 と、バッファ 1 3 及びキャパシタ C 3 を初期化するリセット用トランジスタ Q 4 とを有する。これらキャパシタ C 3、バッファ 1 3 及びトランジスタ Q 3、Q 4 は、画素内の 3 つの副画素で共有される。

【選択図】 図 1

特 願 2 0 0 2 - 3 1 3 2 7 3

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 2 0 2 0 7]

1. 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社